

# 公告本

申請日期	90. 2. 6
案 號	90102498
類 別	H01L 27/11

A4  
C4

(以上各欄由本局填註)

472387

發 明 專 利 說 明 書		
一、發明 名稱	中 文	靜態隨機存取記憶體的製造方法
	英 文	
二、發明 創作人	姓 名	許世穎
	國 籍	中華民國
	住、居所	新竹市高翠路 173 巷 5 弄 39 號
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 名 姓	宣明智

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

BEST AVAILABLE COPY

## 四、中文發明摘要（發明之名稱：

## 靜態隨機存取記憶體之製造方法

一種靜態隨機存取記憶體的製造方法，此方法係在基底上形成一具有頂蓋層的堆疊閘，接著，在基底上形成一層罩幕層，以覆蓋部分的堆疊閘表面，使堆疊閘其汲極側的氧化層裸露出來，其後，進行熱氧化製程，以使所裸露出來之氧化層的厚度增加，而形成一層汲極端厚度較厚於其他之處的閘氧化層，之後，去除罩幕層與頂蓋層，再於基底中形成源極區與汲極區。

## 英文發明摘要（發明之名稱：

## 五、發明說明 ( | )

本發明是有關於一種記憶元件的製造法，且特別是有關於一種靜態隨機存取記憶 (Static Random Access Memory, SRAM) 元件的製造方法。

靜態隨機存取記憶是半導體記憶體中處理速度非常快的一種記憶體。依照設計的方式，靜態隨機存取記憶體之記憶胞可以由四個電晶體與兩個電阻(4T2R)組成，或是由六個電晶體(6T)所組成。對於目前低功率/低電壓之靜態隨機存取記憶的需求而言，則以六個電晶體所設計之靜態隨機存取記憶體具有較高的穩定性。

由六個電晶體(6T)所組成之靜態隨機存取記憶胞，依照其功能可以區分為電壓下拉元件(Pull Down Device, PD)、P 型電壓負載元件(PMOS Load Device, PL)與傳送閘元件(Pass Gate Device, PG)，其電路結構如第 1 圖所示。由於每一個記憶胞必須使用六個電晶體來形成，因此，其積集度較低。為了符合市場輕、薄、短、小的需求，必須縮小製程尺寸(Dimension)，增加積極度並且降低製造的成本，以製造更小尺寸的靜態隨機存取記憶體之記憶胞。然而，元件的通道長度(Channel Length)縮小之後，閘極氧化層的厚度必須隨之縮小，以避免次起始漏電流(Sub-Through Leakage)的發生。但是，閘極氧化層縮小之後，卻又造成閘極誘發漏電流(Gate-Induce Drain Leakage, GIDL)，使得待機電流(Stand-By Current)增大而無法符合低功率的需求(Low Power Requirement)。

請參照第 2 圖，目前解決閘極誘發漏電流的方法，係

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明(ㄗ)

在閘極氧化層 202 中接近源極區 204 與汲極區 206 之處形成鳥嘴(Bird Beak)狀，以藉由厚度的增加來達到目的。但是，此方法卻會增加起始電壓值( $V_t$ )，並且降低電壓下拉元件電流量，使得電壓下拉元件與傳送閘元件之間的胞比例(Cell Ratio)減小，而影響靜態隨機存取記憶體之穩定性(Stability)。

因此，本發明的目的就是在提供一種靜態隨機存取記憶體的製造方法，可以降低閘極誘發汲極漏電流量。

本發明的再一目的是提供一種靜態隨機存取記憶體的製造方法，可以增加驅動電流，使得低功率/低電壓之靜態隨機存取記憶體在操作過程中維持電壓下拉元件與傳送閘元件之間的胞比例，增加靜態隨機存取記憶體的穩定性。

本發明提出一種靜態隨機存取記憶體的製造方法，此方法係在基底上形成一具有頂蓋層的堆疊閘，接著，在基底上形成一罩幕層，以覆蓋部分的堆疊閘表面，使堆疊閘其汲極側的氧化層裸露出來，其後，進行熱氧化製程，以使所裸露出來之氧化層的厚度增加，而形成一汲極端厚度較厚於其他之處的閘氧化層，之後，去除罩幕層與頂蓋層，再於基底中形成一源極區與一汲極區。

依照本發明的較佳實施例所述，上述之罩幕層具有一開口，此開口係裸露出電壓下拉元件與電壓負載元件之堆疊閘其汲極側的氧化層。在進行熱製程之後，因熱氧化而形成本發明之閘氧化層，此閘極氧化層的汲極端因熱氧化

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明（ ㄣ ）

而厚度增加呈鳥嘴狀，而其他之處的厚度則維持不變為一厚度均一的氧化層。

本發明之閘極氧化層，其在汲極端的厚度較厚於其他之處，因此，可以降低閘極誘發汲極漏電流量。

本發明僅在閘極氧化層的汲極端形成厚度較厚的鳥嘴狀，而汲極端以外之處則為厚度較薄且均一的閘極氧化層，因此，不僅可以降低閘極誘發汲極漏電流量，而且可以降低源極端之淡摻雜源極區的電阻，增加驅動電流，使得低功率/低電壓之靜態隨機存取記憶體在操作過程中維持電壓下拉元件與傳送閘元件之間的胞比例，增加靜態隨機存取記憶體的穩定性。

本發明在閘極導體層上所形成之頂蓋層，可以在形成罩幕層的蝕刻過程中保護之，使其不會遭受蝕刻的破壞，因此，在定義罩幕層其開口的位置時，可以具有較大的對準空間。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖是習知六個電晶體所組成之靜態隨機存取記憶體之電路結構圖。

第 2 圖是習知避免閘極誘發汲極漏電流之靜態隨機存取記憶體其電晶體的剖面示意圖。

第 3A 圖至第 3D 圖係依照本發明較佳實施例所繪示

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂  
線

## 五、發明說明 (4)

之一種靜態隨機存取記憶體之製造流程的上視圖。

第 4A 圖至第 4D 圖係繪示第 3A 圖至第 3D 圖其 IV-IV 切線之剖面圖。

圖式之標示說明：

202：閘極氧化層

204、316、318、324、326、332、334：源極區

206、312、314、320、322、328、330：汲極區

300：基底

302：隔離區

304a、304b、304c、304d：主動區

306、306a、306b、308、308a、308b、310、310a、310b：

堆疊閘

336：氧化層

338：氮化矽層

340：罩幕層

342：開口

344、346、348、350、352、354、356、358：金屬層

364：氧化層

366：導體層

368：頂蓋層

360、362：汲極側

### 實施例

第 3A 圖至第 3D 圖，係依照本發明較佳實施例所繪示之一種靜態隨機存取記憶體之製造流程的上視圖。第 4A

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 ( ㄟ )

圖至第 4D 圖係繪示第 3A 圖至第 3D 圖其 IV-IV 切線之剖面圖。

請參照第 3A 圖與第 4A 圖。在基底 300 中形成隔離區 302，以在基底 300 界定出主動區 304a、304b、304c 與 304d。隔離區 302 的形成方法例如是淺溝渠隔離法(STI)或局部區域熱氧化法(LOCOS)。

接著，請參照第 3B 圖與第 4B 圖。在基底 300 上依序形成堆疊閘 306、308 與 310。堆疊閘 306、308 與 310 均是由氧化層 364、導體層 366 與頂蓋層 368 所組成。較佳的氧化層 364 例如是氧化矽，其係以熱氧化方式所形成者。導體層 366 例如是複晶矽或是由複晶矽與矽化金屬層所組成之複晶矽化金屬層。複晶矽的形成法例如是以低壓化學氣相沉積法(LPCVD)所形成，其可以摻入摻雜以賦予導電性。摻雜的形成方法可以在沉積複晶矽的同時(In-Situ)進行，或是在複晶矽層沉積之後，再經由離子佈植的方式以形成之。頂蓋層 368 之材質以不易於氧化者較佳，其材質例如為氮化矽，其形成的方法例如是化學氣相沉積法。在基底 300 上覆蓋氧化層、複晶矽層、金屬矽化物層與頂蓋層之後，再以微影與蝕刻技術定義其圖案，以形成由氧化層 364、導體層 366 與頂蓋層 368 所組成的堆疊閘 306、308 與 310。

堆疊閘 306 中跨在主動區 304a 的部分 306a 為靜態隨機存取記憶體其電壓負載元件(PL)，例如是一 P 型金氧半導體(PMOS)的堆疊閘，堆疊閘 306a 兩側的主動區 304a 為

(請先閱讀背面之注意事項再填寫本頁)

表  
訂  
線

### 五、發明說明 ( 6 )

預定之汲極區 312 與源極區 316。而堆疊閘 306 中跨在主動區 304c 的部分 306b 為靜態隨機存取記憶體其電壓下拉元件(PD)，例如是一 NMOS 的堆疊閘，堆疊閘 306b 兩側的主動區 304c 為預定之汲極區 320 與源極區 324。

堆疊閘 308 中跨在主動區 304b 的部分 308a 為靜態隨機存取記憶體其另一個電壓負載元件(PMOS PL)的堆疊閘，堆疊閘 308a 兩側的主動區 304b 為預定之汲極區 314 與源極區 318。而堆疊閘 308 中跨在主動區 304d 的部分 308b 為靜態隨機存取記憶體其另一個電壓下拉元件的堆疊閘，堆疊閘 308b 兩側的主動區 304d 為預定之汲極區 322 與源極區 326。

堆疊閘 310 中跨在主動區 304c 的部分 310a 為靜態隨機存取記憶體其傳送閘元件(PG)，例如是一 NMOS 的堆疊閘，堆疊閘 310a 兩側的主動區 304c 為預定之汲極區 330 與源極區 334。而堆疊閘 310 中跨在主動區 304d 的部分 310b 為靜態隨機存取記憶體其另一傳送閘元件(NMOS PG)的堆疊閘，堆疊閘 310b 兩側的主動區 304d 為預定之汲極區 328 與源極區 332。

接著，請參照第 3C 圖與第 4C 圖。在基底 300 上形成一層罩幕層 340，以覆蓋電壓負載元件(PL)其預定的源極區 316、318、電壓下拉元件(PD)其預定的源極區 324、326、傳送閘元件(PG)其預定的源極區 332、334 與汲極區 328、330 以及堆疊閘 306、308 與 310 的一部份。而罩幕層 340 的開口 342 則裸露出電壓負載元件以及電壓下拉元件之堆

(請先閱讀背面之注意事項再填寫本頁)

訂 線



### 五、發明說明 ( 7 )

疊閘 306、308 其汲極側 360、362(接近汲極區 312、314、320、322 之一側)的氧化層 364。罩幕層 340 之材質以能阻擋氧氣與水氣之擴散者較佳。較佳的罩幕層 340 例如是由氧化矽層 336 與氮化矽層 338 所組成者。氧化矽層 336 的形成方法例如是以四乙氧基矽甲烷(TEOS)為反應氣體，經由電漿增益型化學氣相沉積法(PECVD)所形成者，其厚度為 100 埃至 200 埃左右。氮化矽層 338 的形成方法例如為低壓化學氣相沉積法，其厚度為 1000 埃至 2000 埃左右。當氧化矽層 336 與氮化矽層 338 沉積於基底 300 上方之後，經由微影與蝕刻技術將氧化矽層 336 與氮化矽層 338 圖案化，以形成覆蓋部分堆疊閘 306、308、310 其頂蓋層 368 頂部，堆疊閘 306、308、310 源極側(接近於源極區之一側)側壁以及覆蓋預定之源極區 316、318、324、326、332、334 之基底 300 表面的罩幕層 340。在蝕刻氮化矽層與氧化矽層以形成罩幕層 340 的過程中，頂蓋層 368 可以保護其下方的導體層 366，使其不會遭受蝕刻的破壞，因此，在定義罩幕層 340 之開口 342 位置時，可以具有較大的對準空間(Alignment Window)，僅需使所形成之罩幕層 334 可以使電壓負載元件以及電壓下拉元件之堆疊閘 306、308 其汲極側的氧化層 364 裸露出來即可。

其後，進行熱製程，以使罩幕層 340 其開口 342 所裸露來之汲極側 360、362 的氧化層因氧化而厚度增加並呈鳥嘴狀，而汲極側以外的氧化層 364，則因為被罩幕層 340 所覆蓋，因此，並不會發生氧化，故而，在進行熱製程之

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

### 五、發明說明( 8 )

後，可以使得所形成的閘氧化層 364，其在汲極側 360、362 的厚度較其他之處為厚。熱製程可以熱氧化的方式來施行，例如是乾式熱氧化法或是濕式熱氧化法，其熱氧化的溫度在攝氏 800 度至 1000 度之間。

請參照第 3D 圖與第 4D 圖。去除罩幕層 340 與頂蓋層 368，以裸露出堆疊閘 306、308、310 之導體層 366。去除罩幕層 340 與頂蓋層 368 的方法包括濕式蝕刻法。當罩幕層 340 係由氮化矽層 338 與氧化矽層 336 所組成，而頂蓋層 368 係以氮化矽形成時，可以先以磷酸去除罩幕層 340 之氮化矽層 338，再以氫氟酸溶液去除氧化矽層 336，最後，再以磷酸去除氮化矽頂蓋層 368。

之後，在基底 300 中形成電壓負載元件(PL)的汲極區 312、314 與源極區 316、318、電壓下拉元件(PD)的汲極區 320、322 與源極區 324、326 以及傳送閘元件(PG)的汲極區 328、330 與源極區 332、334。源極區 316、318、324、326、332、334 與汲極區 312、314、320、322、328、330 的形成方法例如是在基底 300 上形成光阻層，之後，以光阻層作為植入罩幕，分別進行 N 型或 P 型離子之植入步驟以形成之。接著，於堆疊閘 306、308、310 之導體層 366 上以及源極區 316、318、324、326、332、334 與汲極區 312、314、320、322、328、330 的基底 300 表面上形成自動對準金屬矽化物(未標示出來)，再形成金屬內連線 344、346、348、350、352、354、356、358。

綜合以上本發明實施例所述，本發明具有下列優點：

## 五、發明說明(9)

1.本發明之閘極氧化層，其在汲極端的厚度較厚於其他之處，因此，可以降低閘極誘發汲極漏電流量。

2.本發明僅在閘極氧化層的汲極端形成厚度較厚的鳥嘴狀，而汲極端以外之處則為厚度較薄且均一的閘極氧化層，因此，不僅可以降低閘極誘發汲極漏電流量，而且可以降低源極端之淡摻雜源極區的電阻，增加驅動電流，使得低功率/低電壓之靜態隨機存取記憶體在操作過程中維持電壓下拉元件與傳送閘元件之間的胞比例，增加靜態隨機存取記憶體的穩定性。

3.本發明在閘極導體層上所形成之頂蓋層，可以在形成罩幕層的蝕刻過程中保護之，使其不會遭受蝕刻的破壞，因此，在定義罩幕層其開口的位置時，可以具有較大的對準空間。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

1.一種靜態隨機存取記憶體之製造方法，該方法包括：  
在一基底上形成圖案化之一第一氧化層、一導體層與一頂蓋層，以形成一堆疊閘；

於該基底上形成一罩幕層，以覆蓋部分該堆疊閘之表面，使該堆疊閘之一汲極側的該第一氧化層裸露出來；

進行一熱氧化製程，以使所裸露出來之該第一氧化層的厚度增加，而形成汲極端厚度較厚於其他之處之一閘氧化層；

去除該罩幕層與該頂蓋層；以及

於該基底中形成一源極區與一汲極區。

2.如申請專利範圍第 1 項所述之靜態隨機存取記憶體的製造方法，其中於該基底上形成該罩幕層的方法包括：

在該基底上形成一第二氧化層，以覆蓋該堆疊閘與該基底表面；

在該第二氧化層上形成一氮化矽層；以及

將該氮化矽層與該第二氧化層圖案化，使該堆疊閘其該汲極側之該第一氧化層、該導體層與該頂蓋層裸露出來。

3.如申請專利範圍第 2 項所述之靜態隨機存取記憶體的製造方法，其中該第二氧化層係以四乙基矽甲烷為化學氣相沉積製程之氣體源所形成者。

4.如申請專利範圍第 2 項所述之靜態隨機存取記憶體的製造方法，其中該氮化矽層的形成方法包括低壓化學氣相沉積法。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

5.如申請專利範圍第 1 項所述之靜態隨機存取記憶體之製造方法，其中該頂蓋層之材質包括氮化矽。

6.如申請專利範圍第 1 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程為一濕式熱氧化製程。

7.如申請專利範圍第 1 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程為一乾式熱氧化製程。

8.如申請專利範圍第 1 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程之施行溫度為攝氏 800 度至攝氏 1000 度。

9.如申請專利範圍第 1 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程係使該汲極端之該氧化層熱氧化呈鳥嘴狀。

10.一種靜態隨機存取記憶體的製造方法，該方法包括：

在一基底上形成一第一氧化層、一導體層與一頂蓋層；

將該頂蓋層、該導體層與該熱氧化層圖案化以形成複數個堆疊閘，用以製作複數個傳送閘元件、複數個電壓下拉元件與複數個電壓負載元件；

於該基底上形成具有一開口的一罩幕層，該罩幕層覆蓋部分該堆疊閘之表面，而該開口裸露出該些電壓下拉元件與該些電壓負載元件之該些堆疊閘其一汲極側之該些第一氧化層；

進行一熱氧化製程，以使所裸露出來之該些第一氧化

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

層發生氧化而厚度增加，形成汲極端厚度較厚於其他之處的一閘氧化層；

去除該罩幕層與該頂蓋層；以及

於該基底中形成該些傳送閘元件、該些電壓下拉元件與該些電壓負載元件之複數個源極區與複數個汲極區。

11.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中該些電壓下拉元件為 N 型金氧半導體。

12.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中該些電壓負載元件為 P 型金氧半導體。

13.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中於該基底上形成該罩幕層的方法包括：

在該基底上形成一第二氧化層，以覆蓋該些堆疊閘與該基底表面；

在該第二氧化層上形成一氮化矽層；以及

將該氮化矽層與該第二氧化層圖案化，以形成該開口使該些電壓下拉元件與該些電壓負載元件之該些堆疊閘之該汲極側的該第一氧化層、該導體層與該頂蓋層裸露出來。

14.如申請專利範圍第 13 項所述之靜態隨機存取記憶體的製造方法，其中該第二氧化層係以四乙基矽甲烷為化學氣相沉積製程之氣體源所形成者。

15.如申請專利範圍第 13 項所述之靜態隨機存取記憶

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

體的製造方法，其中該氮化矽層的形成方法包括低壓化學氣相沉積法。

16.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程為一濕式熱氧化製程。

17.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程為一乾式熱氧化製程。

18.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中該頂蓋層係由氮化矽所組成。

19.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程之施行溫度為攝氏 800 度至攝氏 1000 度。

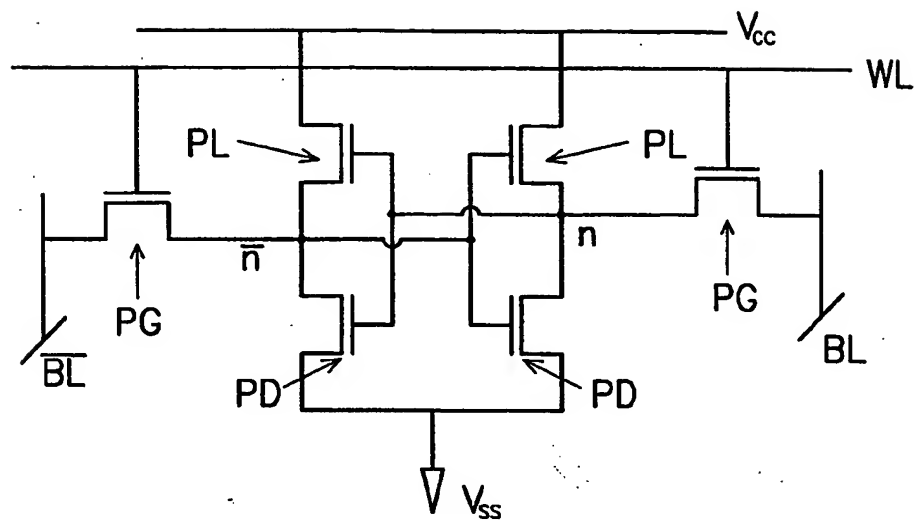
20.如申請專利範圍第 10 項所述之靜態隨機存取記憶體的製造方法，其中該熱氧化製程係使該汲極端之該氧化層熱氧化呈鳥嘴狀。

(請先閱讀背面之注意事項再填寫本頁)

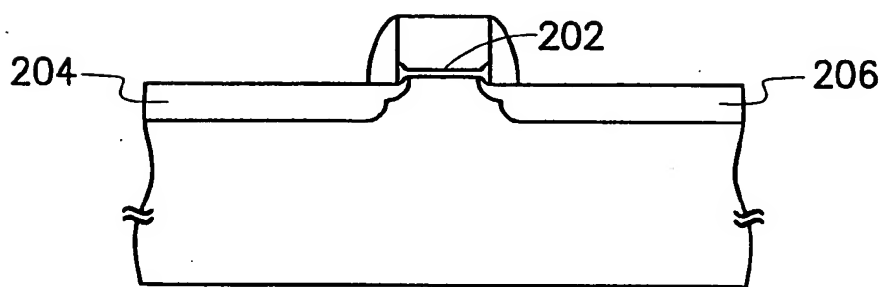
裝

訂

線

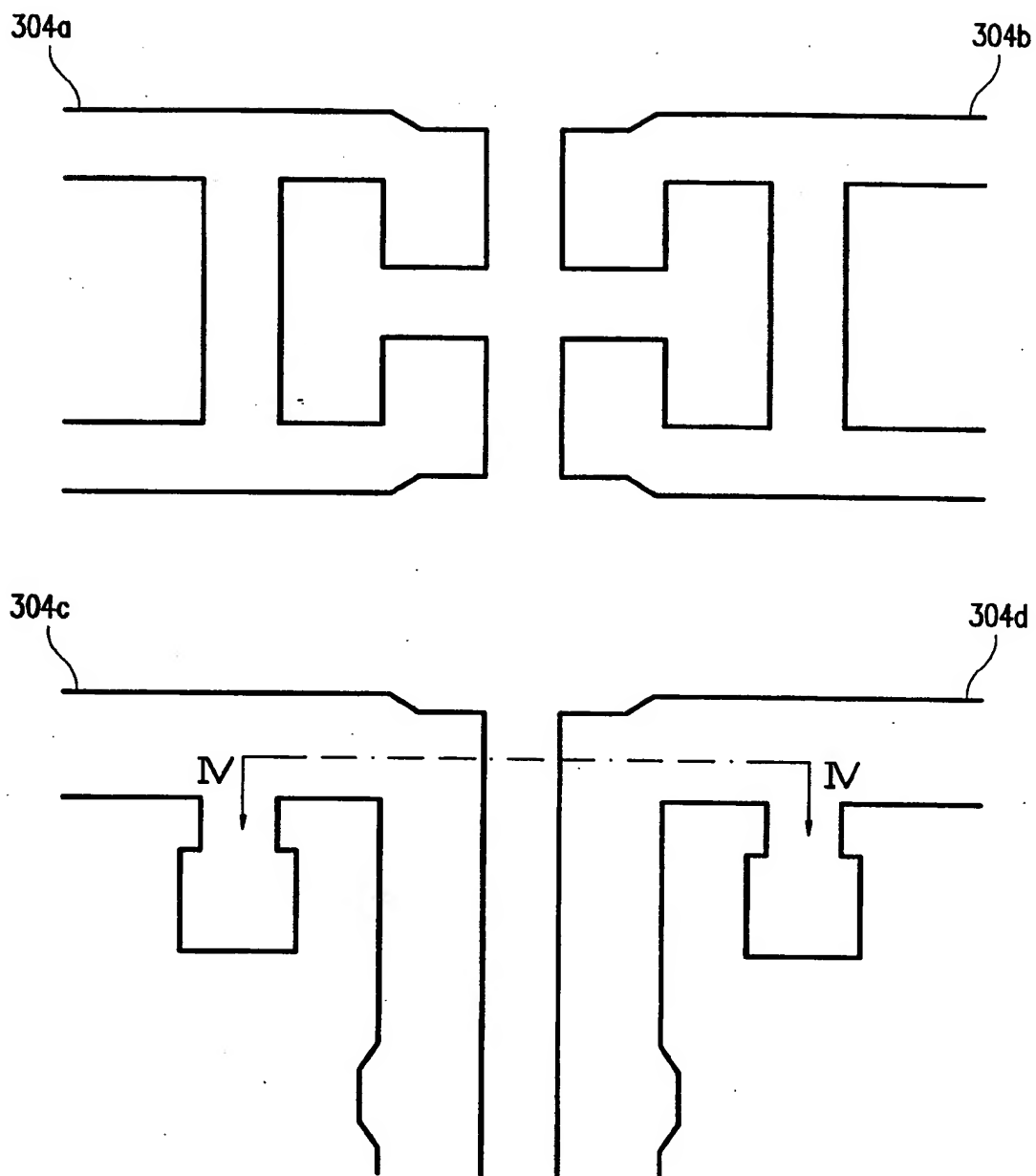


第 1 圖

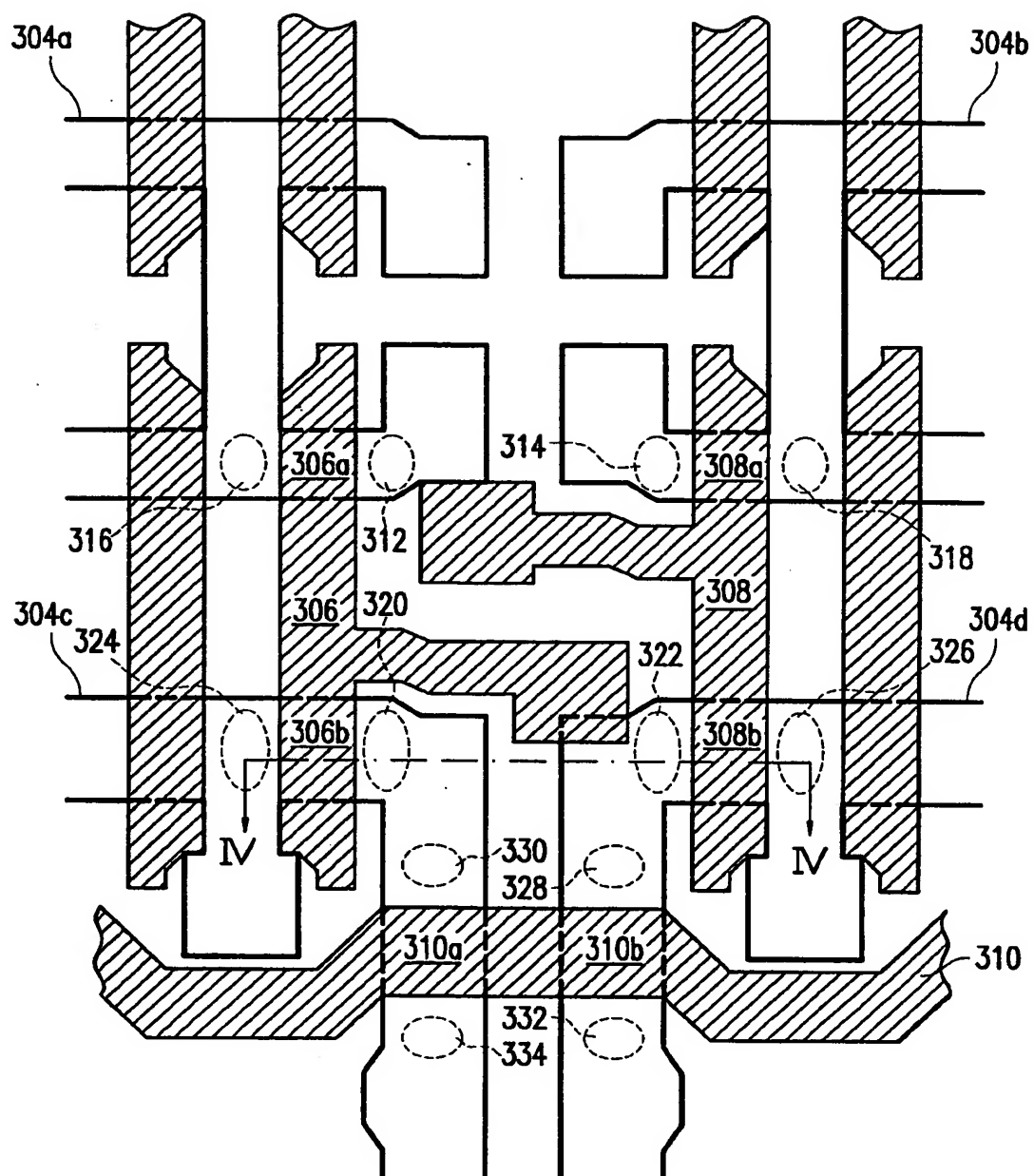


第 2 圖

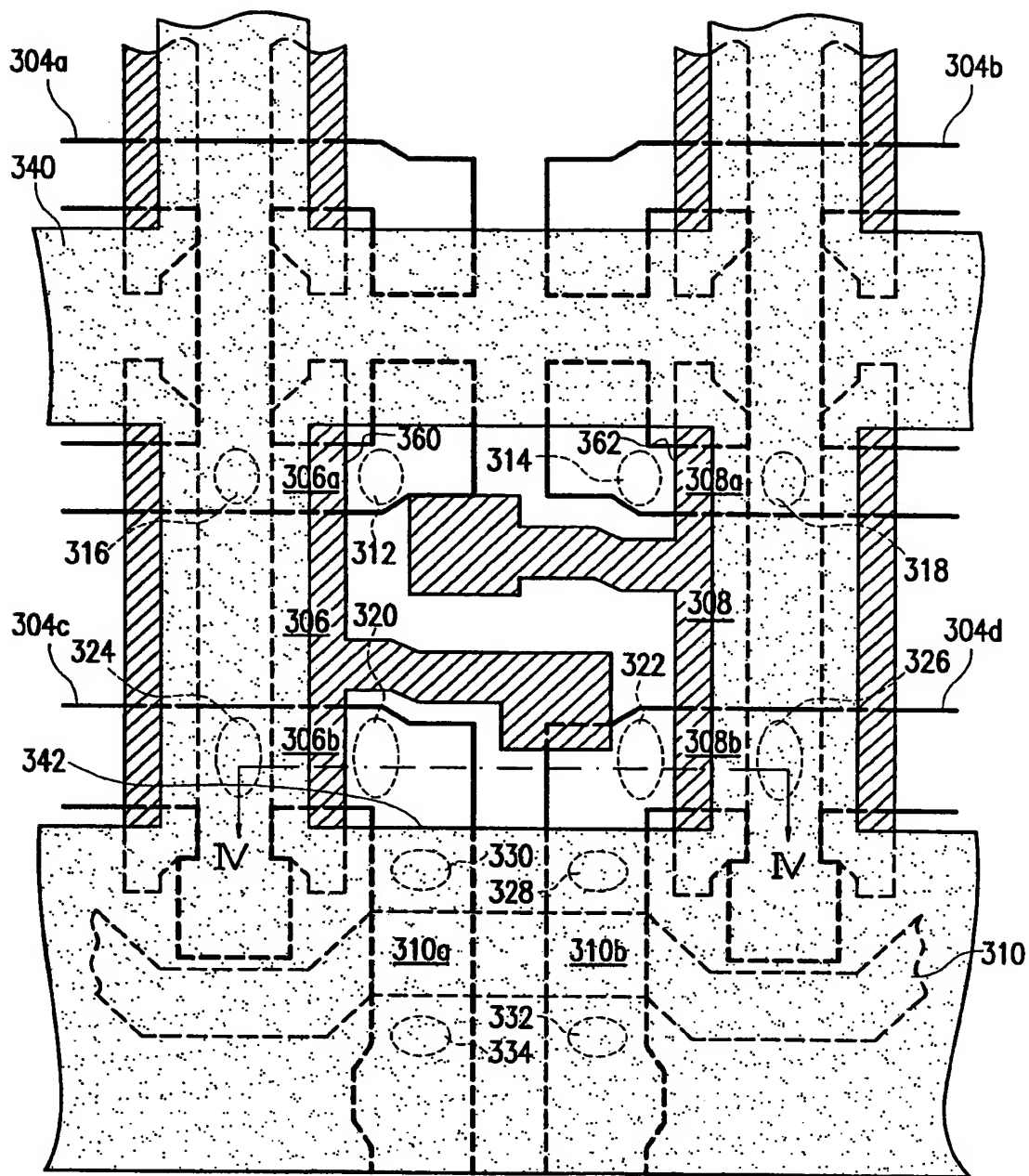




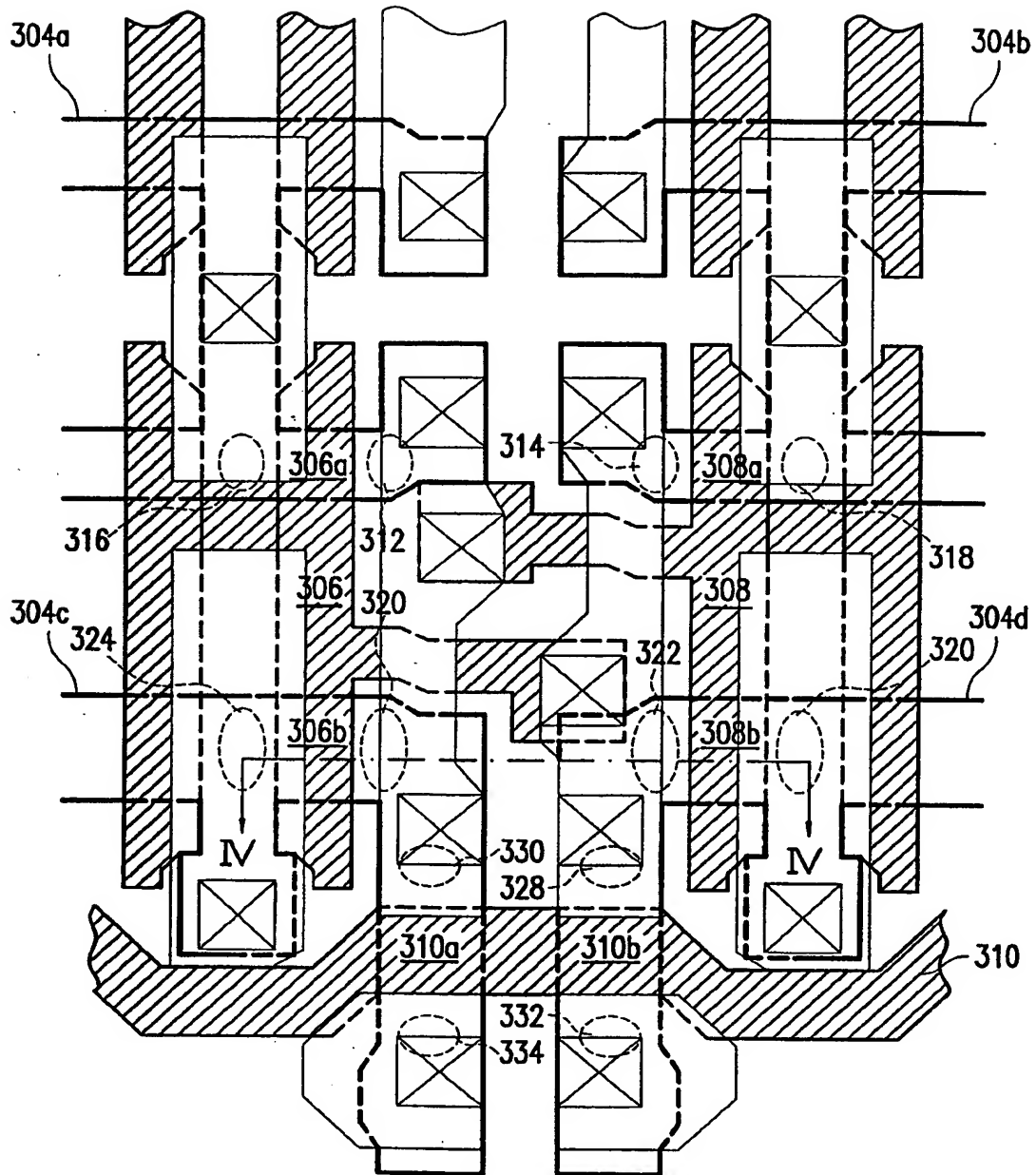
第3A圖



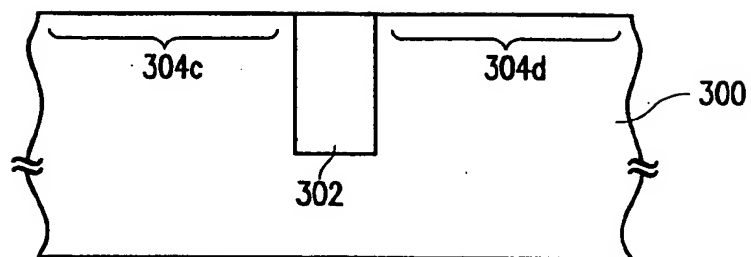
第3B圖



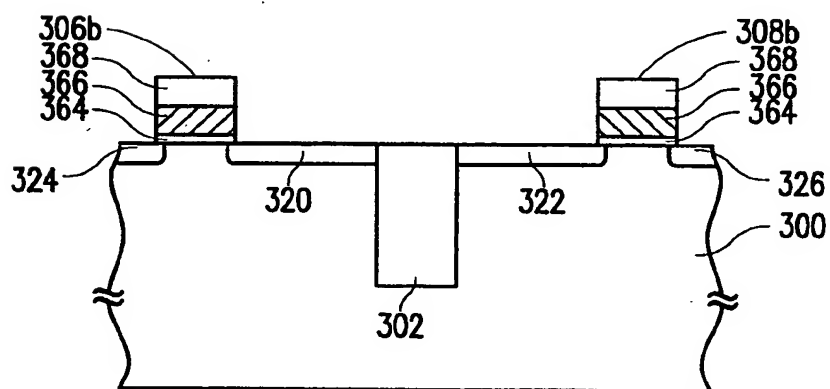
第 3C 圖



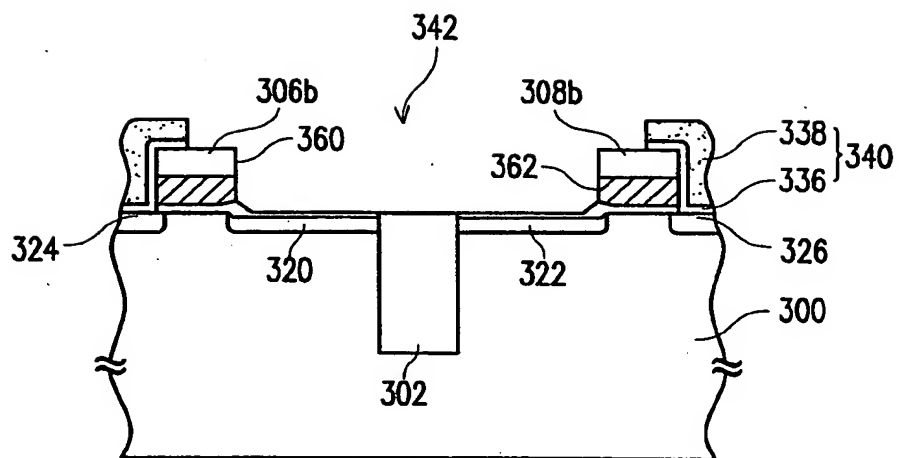
第3D圖



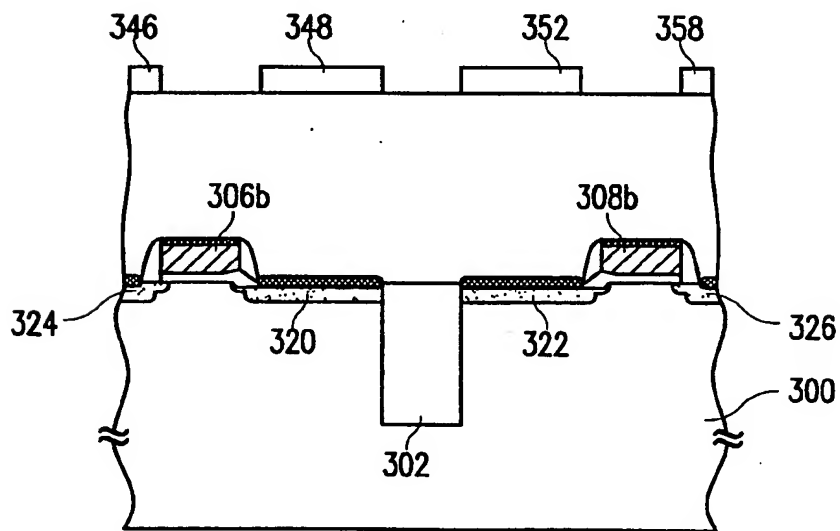
第 4A 圖



第 4B 圖



第 4C 圖



第 4D 圖



## WHAT IS CLAIMED IS:

1. A method of forming a static random access memory, comprising the steps of:

5         patterning a first oxide layer, a conductive layer and a cap layer to form a stack gate on a substrate;

          forming a mask layer on a substrate to cover a portion of the stack gate, thereby the first oxide layer on a drain side is exposed;

          performing a thermal oxidation process to increase a thickness of the  
10       exposed first oxide layer, whereby the thickness of the first oxide layer on drain side is thicker than other gate oxide layer;

          removing the mask layer and the cap layer; and

          forming a source and a drain regions on the substrate.

15       2. The method of claim 1, wherein the step of forming the mask layer on the substrate comprising:

          forming of a second oxide layer on the substrate to cover the stack gate and the substrate ;

          forming a silicon nitride (SiN) layer on the second oxide layer ; and

20       patterning the SiN layer and the second oxide layer to expose the stack gate, wherein the first oxide layer , the conductive layer and the cap layer on the drain side are exposed.

3. The method of claim 2, wherein the second oxide layer is formed by  
25       chemical vapor deposition using  $\text{Si}(\text{C}_2\text{H}_5)_4$  as a precursor source.

4. The method of claim 2, wherein the SiN layer is formed by low pressure chemical vapor deposition (LPCVD).

5 5. The method of claim 2, wherein the cap layer comprises SiN.

6. The method of claim 1, wherein the thermal oxidation process is wet thermal oxidation process.

10 7. The method of claim 1, wherein the thermal oxidation process is dry thermal oxidation process.

8. The method of claim 1, wherein the thermal oxidation temperature is between about 800°C to about 1000°C.

15 9. The method of claim 1, wherein the thermal oxidation process makes the oxide layer on the drain side to be a bird's beak.

10. A method of forming a static random access memory, comprising the  
20 steps of:

forming a first oxide layer, a conductive layer and a cap layer on a substrate;

patterning the cap layer, the conductive layer and the first oxide layer to form several stack gates serving as gates of transmission gate devices, voltage  
25 pull-down devices and voltage loading devices;



forming a mask layer having an opening on the substrate, wherein a portion of the stack gate covered by the mask layer and the first oxide layer on a drain side of the voltage pull-down devices and the voltage loading devices are exposed by the opening;

5 performing thermal oxidation process to increase the thickness of the exposed first oxide layer on the drain side to form a gate oxide have a thicker end on the drain side;

removing the mask layer and the cap layer; and

forming the transmission gate devices, the voltage pull-down devices and  
10 the voltage loading devices on the substrate.

11. The method of claim 10, wherein the voltage pull-down devices are N-type metal oxide semiconductor.

15 12. The method of claim 10, wherein the voltage loading devices are P-type metal oxide semiconductor.

13. The method of claim 10, wherein the step of forming the mask layer on the substrate comprising:

20 forming a second oxide layer on the substrate to cover the stack gate and the substrate;

forming a SiN layer on the second oxide layer; and

patterning the SiN layer and the second oxide layer to form the opening to expose the first oxide layer, the conductive layer and the cap layer on the

drain side of the stack gate of the voltage pull-down devices and voltage loading devices.

14. The method of claim 13, wherein the second oxide layer is formed by  
5 chemical vapor deposition (CVD) using  $\text{Si}(\text{C}_2\text{H}_5)_4$  as a precursor source.

15. The method of claim 13, wherein the SiN layer is formed by low pressure chemical vapor deposition (LPCVD).

10 16. The method of claim 10, wherein the thermal oxidation process is wet thermal oxidation process.

17. The method of claim 10, wherein the thermal oxidation process is dry thermal oxidation process.

15 18. The method of claim 10, wherein the cap layer comprises SiN.

19. The method of claim 10, wherein the thermal oxidation temperature is between about  $800^\circ\text{C}$  to about  $1000^\circ\text{C}$ .

20 20. The method of claim 10, wherein the thermal oxidation process makes the oxide layer on the drain side to be a bird's beak.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**